

生醫植入所用之四階層射頻 FSK 解調器

杜 弘 隆 翁 均

輔仁大學電機工程學系

摘 要

本論文提出一個具有高頻譜效益的頻率偏移調變及解調器，此解調方式主要應用為用一個擁有高頻譜效益的四階頻率偏移調變之架構，來傳送資料給生醫植入器。此四階層射頻 FSK 解調器之架構分為混波器、運算轉導放大器及數位解調器三個部份。首先將接收到的射頻 FSK 訊號和本地震盪器的訊號經由降頻混波器使頻率降至 low-IF 訊號，再送入運算轉導放大器使訊號放大為全擺幅，最後送至數位解調器解調。射頻 FSK 及本地震盪器的訊號頻率為 909MHz 左右，經降頻後的 low-IF 訊為 50KHz 左右。本論文亦使用 TSMC 1P6M 0.18 μ m 製程模擬各個子電路，並令供應電壓操作在 1.8V。初步系統架構的驗證已證明其可行性。

(I) 前言

隨著科技與醫療技術的蓬勃發展，人類的平均壽命也越來越長。人口年齡老化意味著未來需要花費的醫療資源會越多，我們對日後在醫療資源上的使用會更加被重視。由於人類的生命延長，我們人體身上的器官將會面臨更長時間的使用，然而因為老化、疾病等種種因素，各種器官會逐漸退化或失去原有的功能，因此現在醫學上會使用人工的方式來輔助或取代受損的器官功能。

近年來醫學與超大型積體電路的快速發展，應用在人體內的生醫植入式電子裝置也不斷演進，如人工耳蝸、視網膜假體等。在這些可植入式的生醫裝置中，解調器扮演一個很重要的腳色，它必須將外界所傳送的資訊還原成原來的資料。一個完整的生醫植入系統必須包含外部的傳送端與內部的接收端，外界的資訊經由傳送端傳至人體的接收端，再利用解調器解調出原來的資料。

目前應用在生醫之調變方式主要為兩種，從早期的振幅偏移調變(Amplitude Shift Keying, ASK)，到現在被廣泛使用的頻率偏移調變(Frequency Shift Keying, FSK)兩種調變方式。振幅偏移調變為將資料利用載波的振幅來代表，藉由接收到的訊號振幅大小來解調傳輸端所傳的資料，調變及解調電路較為簡單。頻率偏移調變一般則將資料 0 和 1 以兩種載波頻率代表。由於頻率偏移調變的方式有著較好的抗雜訊能力，因此應用在低電壓之可攜式系統中較為適合。

高頻譜效益及高資料傳輸速率對於無線生醫系統是非常重要的，特別是在中樞神經的接合處上，像是人工耳蝸就是如此。以現在的無線通訊標準來說，像是 IEEE 802.11a，在載波頻率為 5.8GHz 下，資料傳輸可高達 54Mbps，然而，卻造成極差的 0.93% 之資料傳輸率對載波頻率的比率(Data-rate-to-carrier-frequency ratio)[1]。在參考文獻[1]中有提到藉由 FSK 的調變方式，可達到 Data-rate-to-carrier-frequency ratio 為 67%，但頻率偏移量高達 2.5MHz(2 階層 FSK 調變架構，2 個載波頻率分別為 5MHz 及 10MHz)。

本論文則著重在接收端的解調器設計，我們所使用四階層 FSK 調變為主要架構，利用高頻譜效益(頻率偏移量為 800Hz 及 2.4KHz)的優點，搭配簡易的數位解調器，達到較好的性能。我們所使用 TSMC 0.18 μ m 1P6M CMOS 製程，及用 Hspice / Hsim 模擬來驗證。

(II) 四階層射頻 FSK 解調器

圖 1 為此篇論文所提出的四階層 FSK 解調器之架構圖，我們會將經調變過後的四階層射頻 FSK 信號送至降頻混波器，降至中頻訊號後，再送至運算轉導放大器中將訊號變為全擺幅，最後再送入數位解調器中做解調，得到原來的資料。

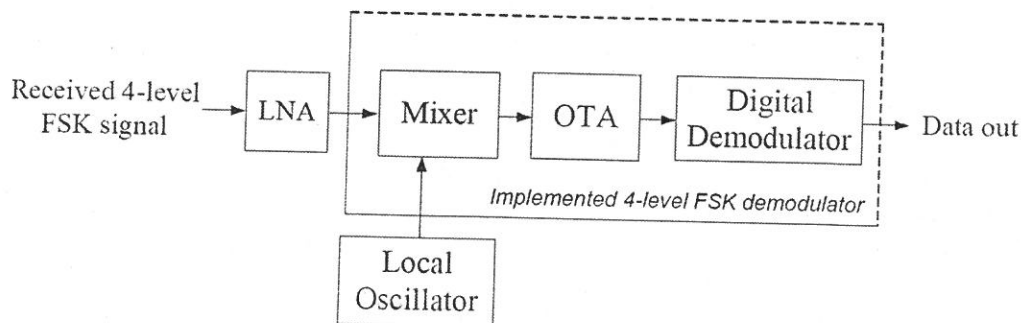


圖 1 四階層射頻 FSK 解調器架構圖

A 降頻混波器

圖 2 為此篇論文所用的降頻混波器，它為一個差動輸入和差動輸出的雙平衡式混波器，RF 訊號會和 LO 訊號做混頻，得到 IF 訊號。電晶體 M5、M6 及 M7、M8 為兩個開關對，由 LO 差動訊號來控制。在此採用兩組並聯的電感及電容(L1、C1 及 L2、C2)當負載，有別於一般傳統混波器用電阻當負載，而 L1、L2 及 C1、C2 必須振盪在頻率為 50KHz。R5 及 R6 則為偏壓電阻和供應電壓連接，用來提供最大的直流準位(1.8V)給 LO 端。

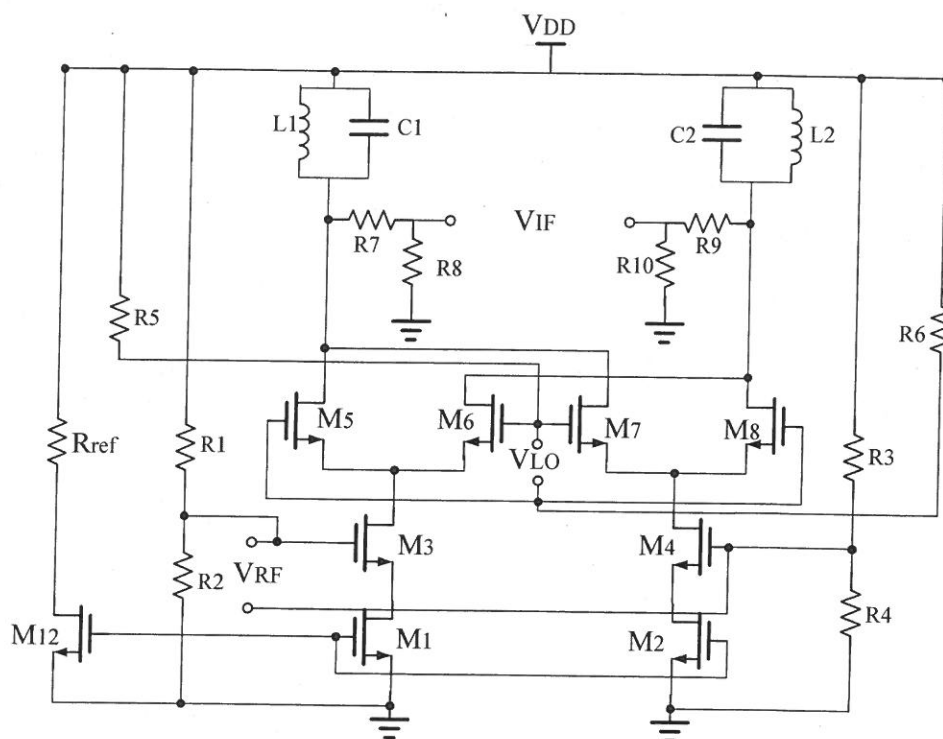


圖 2 降頻混波器電路圖

我們之所以會用到降頻混波器是為了將四階層的射頻 FSK 信號降為 low-IF 信號，LO 訊號的頻率為 909MHz，而 4 種 RF 訊號的頻率分別為 908.9524 MHz、908.9508 MHz、908.9492 MHz 及 908.9476 MHz，降頻後的 low-IF 信號則為 47.6 KHz、49.2 KHz、50.8 KHz 及 52.4 KHz。為了符合下一級運算轉導放大器的直流準位，在圖 2 中，我們利用 R7、R8 及 R9、R10 兩組降壓電阻來達到此目的。

B 運算轉導放大器

此轉導放大器的目的是為了將混波器的輸出訊號放大為全擺幅，使其近似為一個方波，以利下一級的數位解調器方便作解調。圖 3 為運算轉導放大器的電路圖，其為一個差動輸入、單端輸出的放大器。圖 3 的電路分為兩個部份，一個為啟動電路(start-up circuit)當作 bias 電路(圖虛線部分)，沒有虛線部分的則為轉導運算放大器電路。

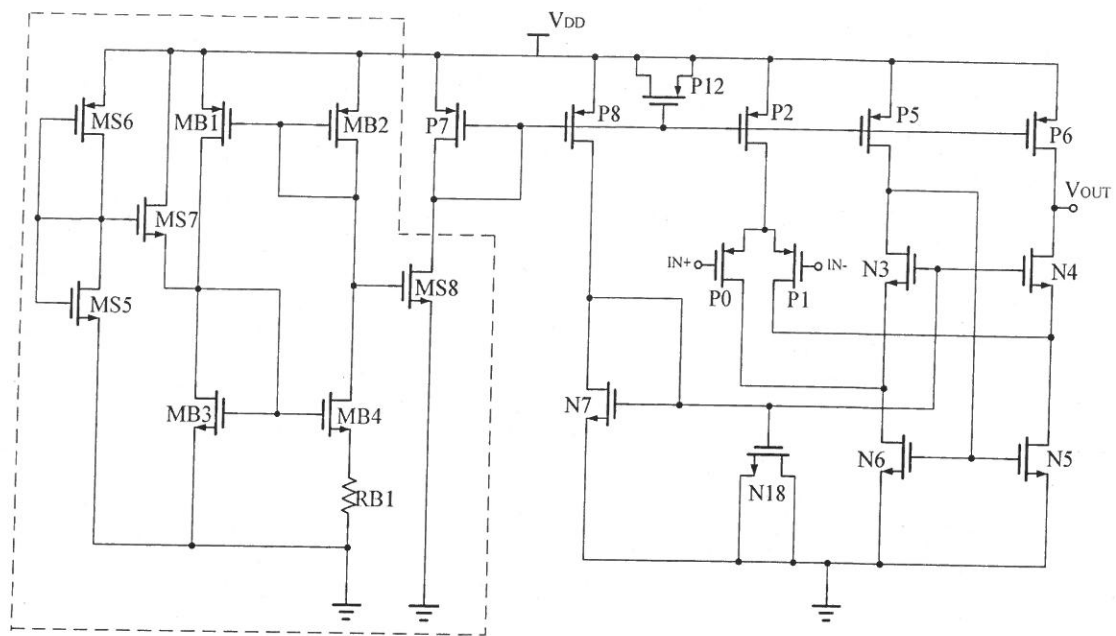


圖 3 運算轉導放大器電路圖

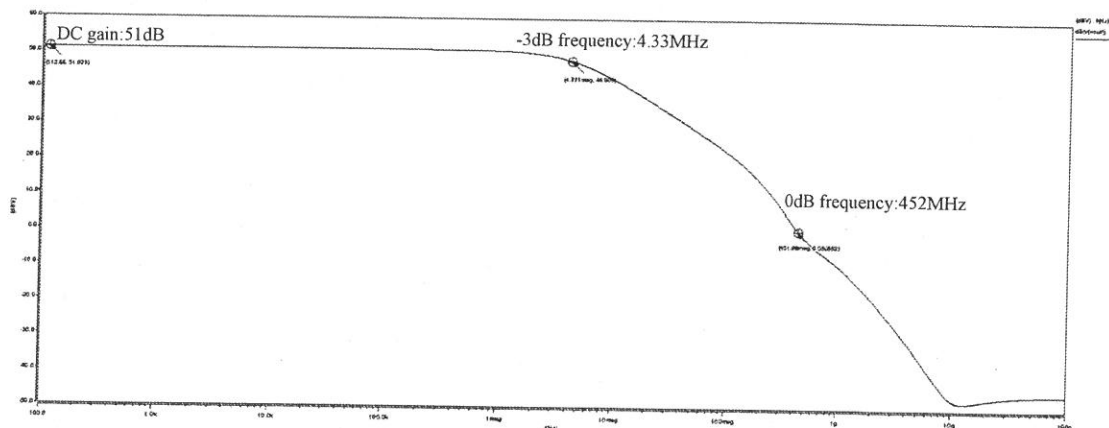


圖 4 運算轉導放大器增益-頻率圖

我們對轉導運算放大器進行頻譜模擬分析如圖 4 波得圖所示，運算轉導放大器規格如表 1 所示，直流增益為 51dB，-3dB 頻率為 4.33MHz，單位增益頻率則為 452MHz。

表 1 運算轉導放大器規格表

-3dB Frequency	4.33MHz
Unity Gain Frequency	452MHz
DC Gain	51dB

圖 5 為降壓後的差動訊號經由運算轉放大器放大成全擺幅的波形圖，其峰對峰值約為 1.52V (0.15V~1.67V)。

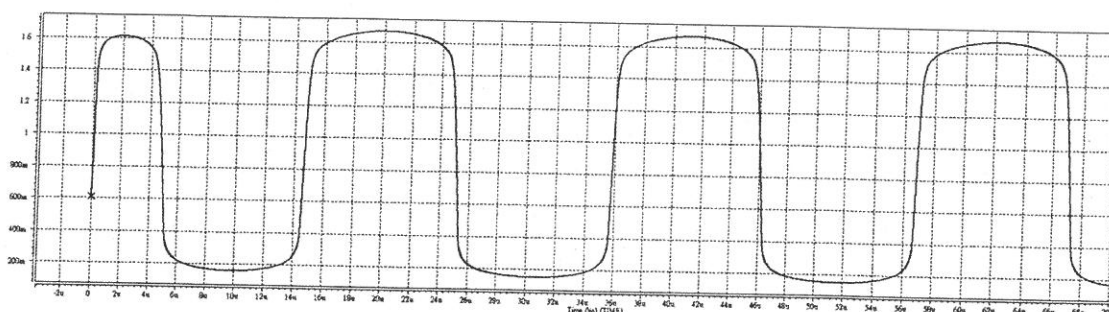


圖 5 混波器差動訊號輸出經運算轉導放大器放大後的波形圖

C 數位解調器

此節要介紹本論文所提出的數位解調器，我們將經由轉導放大器放大成全擺幅的 low-IF 訊號送至數位解調器作解調。以下將說明其電路架構及模擬結果。由於此訊號為四階層 FSK 訊號，因此會有 4 種頻率的載波，為了辨別這 4 種頻率的載波，我們用一個計數器來計數。首先，我們會需要一個固定頻率的時脈來量測載波週期的長短，也就是說我們需要一個頻率比載波頻率高的時脈來對載波做取樣，如圖 6 所示。

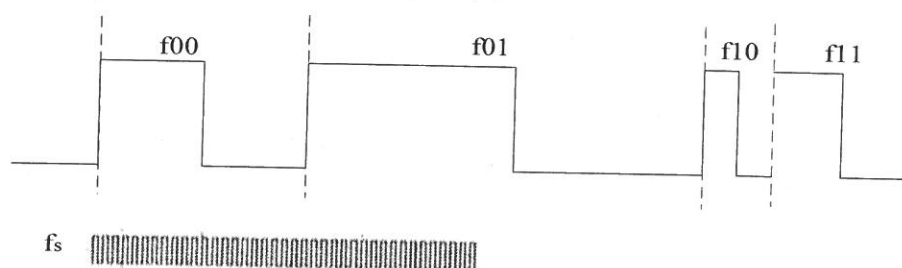


圖 6 時脈取樣載波示意圖

圖 6 中，我們可以看到有 4 種頻率分別為 f_{00} 、 f_{01} 、 f_{10} 及 f_{11} 的載波，其中 f_{00} 代表傳送資料 00 的載波頻率， f_{01} 代表傳送資料 01 的載波頻率， f_{10} 代表傳送資料 10 的載波頻率， f_{11} 代表傳送資料 11 的載波頻率。由於我們是四階層 FSK 的架構，因此一次能傳送 2 個 bit 的資料(00、01、10 及 11)。 f_s 為取樣時脈的頻率，此取樣頻率必須大於載波頻率，我們利用取樣頻率 f_s 分別去除以 4 種載波頻率，會得到 4 種數目，再利用這 4 個數目來代表 00、01、10 及 11 四種資料。

在此取樣頻率 f_s 為 10MHz，4 個載波頻率 f_{00} 、 f_{01} 、 f_{10} 及 f_{11} 分別為 50.8KHz、52.4 KHz、49.2 KHz 及 47.6 KHz，因此用 10 MHz 分別除以 50.8KHz、52.4 KHz、49.2 KHz 及 47.6 KHz，得到的結果分別約為 197、190、203 和 210。而為了讓此數位解調器有容忍誤差的範圍，所以定取樣頻率除以載波頻率的結果若為 195-199 時，得到的解調資料為 00；若結果為 188-192 時，得到的解調資料為 01；若結果為 201-205 時，得到的解調資料為 10；若結果為 208-212 時，得到的解調資料為 11。因計數器有前後 2 個數目的容錯值，因此可將容錯率表示成(1)式所示，若計數的值超過此容錯率的範圍，則解調的資料為錯誤。因此計數器所計數的數字不在上述範圍內時，也就是當接收到的載波頻率為錯誤時，得到的解調資料則保持在上一個狀態的結果。

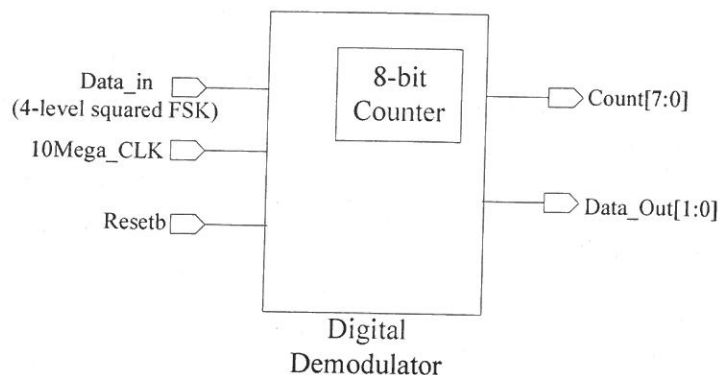


圖 7 數位解調器電路方塊圖

$$\text{Allowed period error rate} = \frac{\frac{1}{10M} \times 2}{\text{Bit-time}} \times 100\% \quad (1)$$

圖 7 為本論文所提出的數位解調器電路方塊圖，此電路架構共有 3 個輸入(Data_in、10Mega_CLK 及 Restb)端及 2 個輸出端(count[7:0]及 Data_Out[1:0])。Data_in 的訊號為經由上一級的轉導放大器放大成全擺幅(近似方波)的 low-IF 訊號，10Mega_CLK 則為我們的取樣時脈訊號，Restb 訊號則是控制各個電路運作的時機。8-bit Counter 則是用來計數取樣頻率除以載波頻率的數目，再經由 count[7:0]訊號輸出，Data_Out[1:0]則為最後解調出來 2-bit 的資料。

圖 8 為數位解調器的模擬結果，由圖中可知，in_data 訊號的前 4 個週期的載波頻率分別為 50.8KHz、52.4 KHz、49.2 KHz 及 47.6 KHz，由之前的說明可知，50.8KHz、52.4 KHz、49.2 KHz 及 47.6 KHz 分別代表著 00、01、10 及 11 的資料，我們可以看到解調出來的資料為 demodulated_out 訊號表示，即解調出 00、01、10 及 11 四種資料。

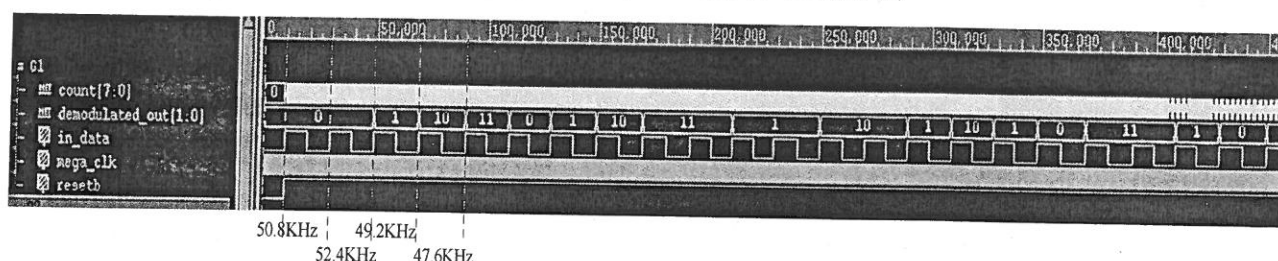
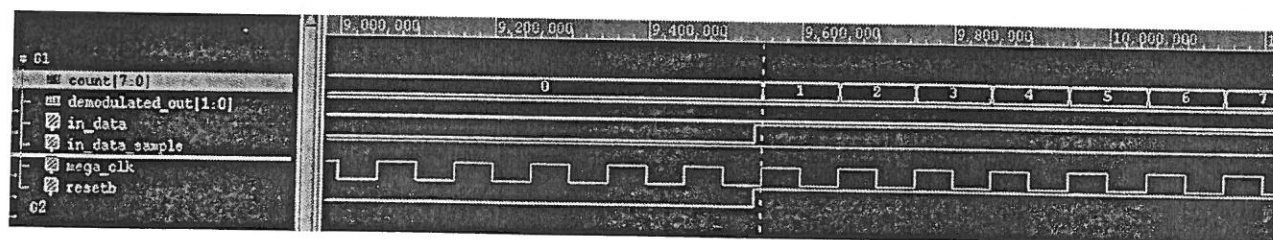
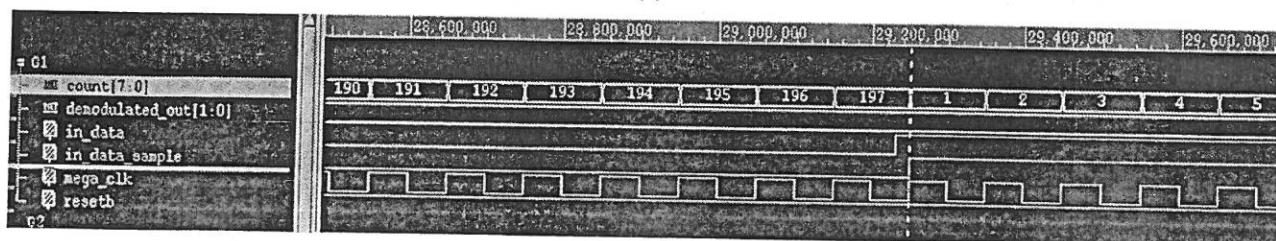


圖 8 數位解調器模擬波形圖



(a)



(b)

圖 9 數位解調器模擬波型圖 (a)50.8KHz 的載波正緣部分(b) 52.4KHz 的載波正緣部分

如圖 9 所示，我們以 in_data 訊號為 50.8KHz 的載波來做說明。我們有另外再用一個 in_data_sample 的訊號。當 resetb 訊號為低準位時，in_data_sample 訊號會保持在高準位，計數器不會做計數，count[7:0] 訊號會維持在 0，當 resetb 訊號變為高準位時，50.8KHz 的載波也同時輸入(in_data)，此時 in_data_sample 訊號會等於有延遲過的 in_data 訊號。圖 9(a)所示，在 mega_clk 為正邊緣時，in_data_sample 與 in_data 訊號同時為高準位，計數器會開始作計數。因為 in_data_sample 訊號為延遲過的 in_data 訊號，由圖 9(b)我們可看到當 in_data 訊號已經變為 52.4KHz 的載波時(由低準位變高準)，此時 in_data_sample 訊號為低準位，當 in_data_sample 為低準位而 in_data 訊號為高準位時，count[7:0] 訊號會直接變為 1，計數器再重新計數下一個載波。

D 四階層射頻 FSK 解調器模擬結果

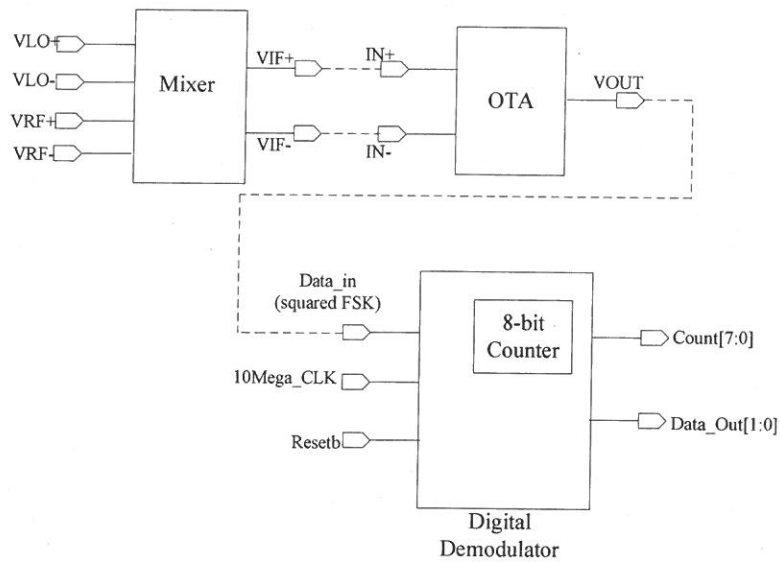


圖 10 四階層射頻 FSK 解調器電路方塊圖

圖 10 為本篇論文所提出的四階層 FSK 射頻解調器的電路方塊圖，分為類比(混波器、轉導運算放大器)及數位(數位解調器)兩塊電路。

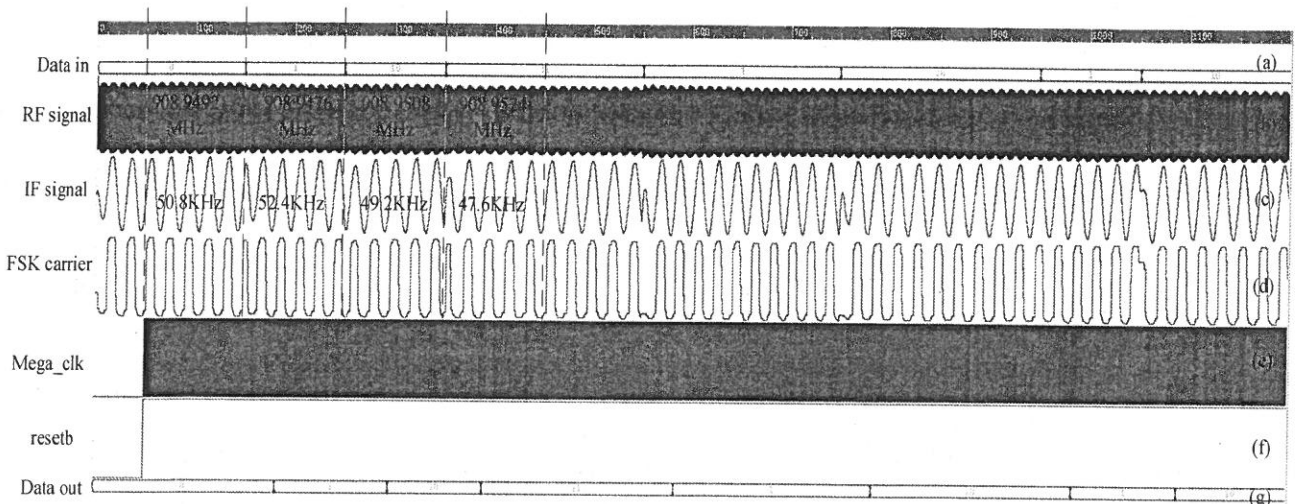


圖 11 四階層射頻 FSK 解調器模擬波形圖

將混波器、轉導放大器與數位解調器合併，以類比數位混合訊號模擬器 Hsim 模擬而其結果示於圖 11。圖 11 分為(a)-(g)7 個部分，(a)為原始的輸入資料，(b)為正弦波的 RF 訊號，(c)

為降頻後的 IF 訊號，(d)為輸入到數位解調器的 FSK 載波訊號，(e)為數位解調器的 10MHz CLK，(f)為數位解調器的 restb 訊號，(g)為解調出來的資料。為了求訊號穩定，我們將 restb 訊號與 Mega_clk 訊號延遲了一段時間(50 μ s)再變為高準位，由圖 11 可知，前 4 比的原始輸入資料分別為 00、01、10 及 11，如(a)所示，我們用 4 種 RF 頻率的載波代表 00、01、10 及 11 四種資料，如(b)所示，再透過混波器將 RF 訊號降頻為 low-IF 訊號，如(c)所示，我們再將 low-IF 訊號送入轉導放大器放大成全擺幅，變成類似方波的 FSK 載波訊號，如(d)所示，最後將其送入數位解調器，得到的解調資料如(g)所示。表 2 為此四階層 FSK 射頻解調器之規格表。

表 2 四階層射頻 FSK 解調器規格

Characteristic	Frequency
Received RF signal Frequency	$V_{RF1}=908.9524\text{MHz}$ $V_{RF2}=908.9476\text{MHz}$ $V_{RF3}=908.9508\text{MHz}$ $V_{RF4}=908.9492\text{MHz}$
Down-Converted IF signal Frequency	$V_{IF1}=47.6\text{KHz}$ $V_{IF2}=52.4\text{KHz}$ $V_{IF3}=49.2\text{KHz}$ $V_{IF4}=50.8\text{KHz}$
Local Oscillator Frequency	909MHz
IF center Frequency	50KHz
Modulation	$\pm 800\text{Hz}$ and $\pm 2400\text{Hz}$ 4-level FSK

(III) 實驗及量測結果分析

為了驗證本論文所提出的四階層 FSK 射頻解調器之功能，我將數位解調器所寫的 Verilog 程式碼燒入 FPGA 裡，並搭配現有的混波器電路，將 RF 訊號降成我們所要的 low-IF 訊號，送入 FPGA 裡做解調，最後用邏輯分析儀驗證數位解調器所解調出的資料。為了驗證所設計的數位解調器之功能，將數位解調器的 Verilog 程式碼燒入 FPGA 中，讓 FPGA 當作所設計之解調器。圖 12 為數位解調器在 FPGA 中的電路圖，分別為 3 個輸入訊號(10Mega_CLK、Data_in、Resetb)，2 個輸出訊號(Data_out[1:0]、Count[7:0])。並利用一個反向器(inverter)將 Data_in 的 FSK 正弦波訊號變為方波訊號，用來代替 OTA 的功能。

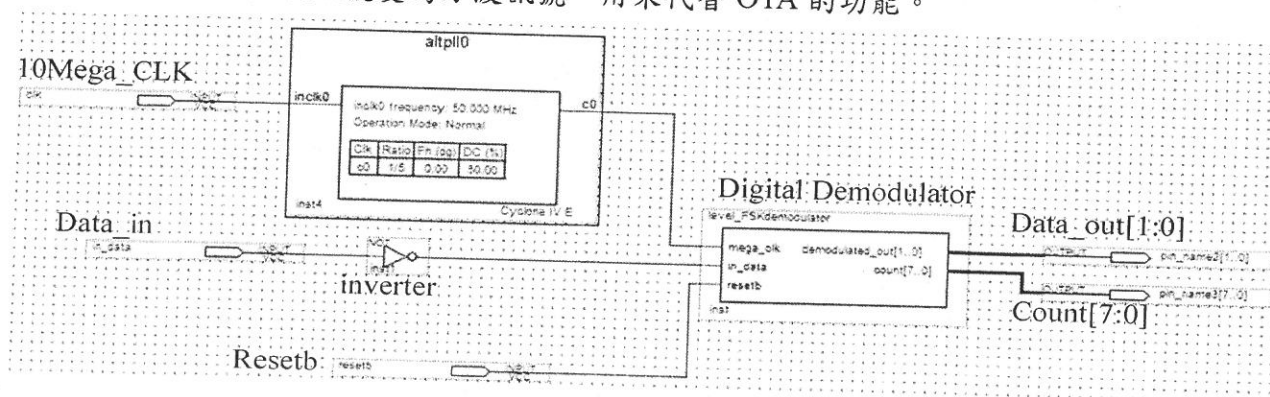


圖 12 數位解調器在 FPGA 中的電路架構圖

我們使用 2 台 RF 訊號產生器分別產生 LO 訊號與 RF 訊號，LO 與 RF 訊號的 level 給 25dBm，並將訊號結果用頻譜分析儀顯示出來。圖 13 為 LO 訊號的頻譜，中心頻率為 909MHz。

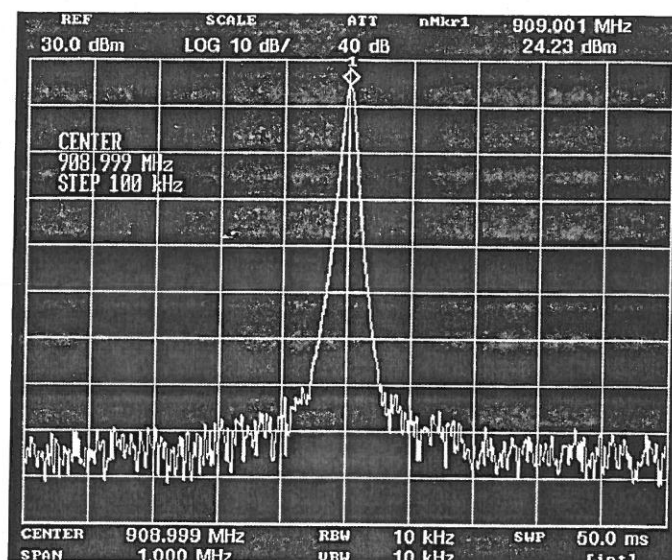
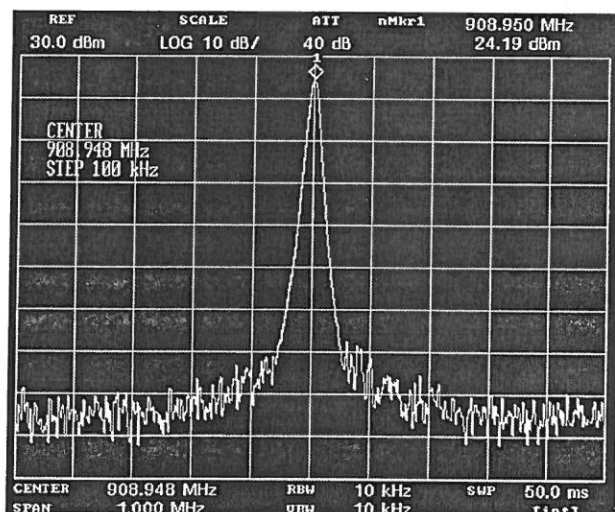
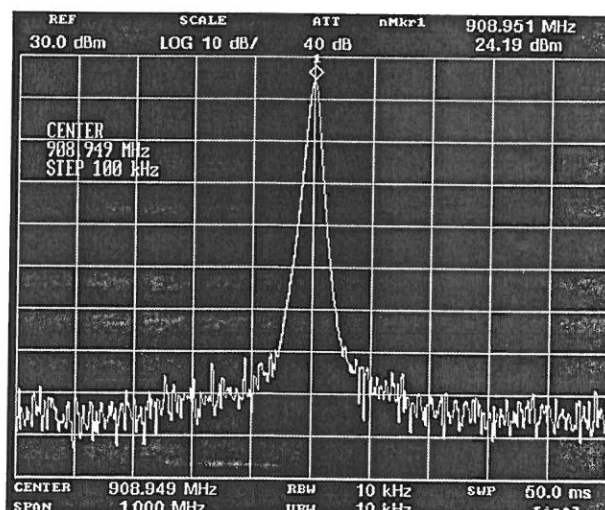


圖 13 LO 訊號頻譜分析圖

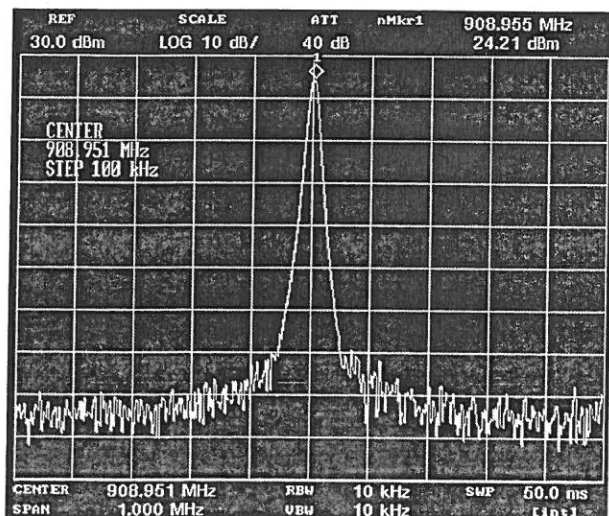
圖 14 為 RF 訊號的頻譜圖，共有 4 種頻率分別為 908.9476MHz、908.9492MHz、908.9508MHz 及 908.9524MHz。



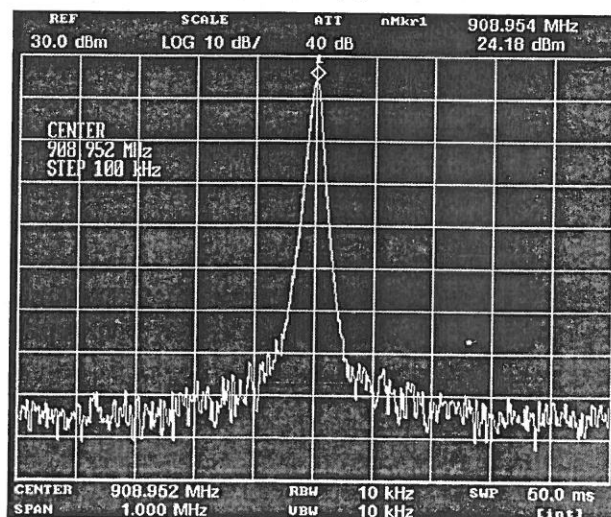
(a)



(b)



(c)



(d)

圖 14 RF 訊號頻譜分析圖 (a) 908.9476MHz 的 RF 訊號(b) 908.9492MHz 的 RF 訊號
(c) 908.9508MHz 的 RF 訊號 (d) 908.9524MHz 的 RF 訊號

我們再將 RF 訊號和 LO 訊號經由混波器降頻成 low-IF 訊號，low-IF 訊號頻譜圖如圖 15 所示，4 種降頻後的 low-IF 訊號頻率分別為 52.4KHz、50.8 KHz、49.2 KHz 及 47.6 KHz。

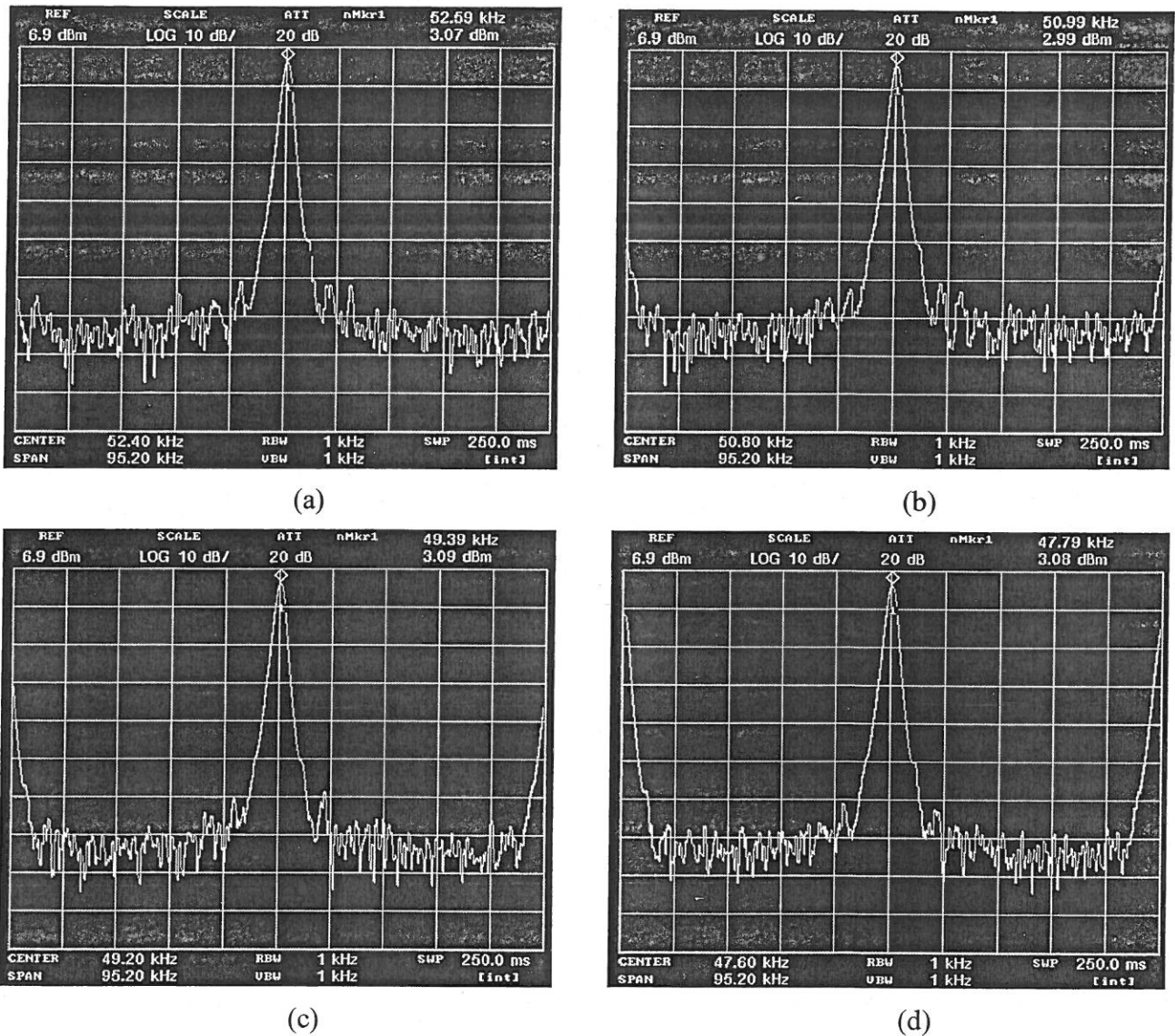
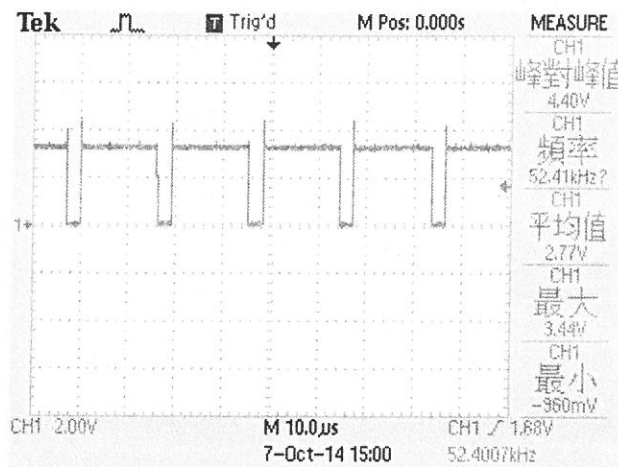
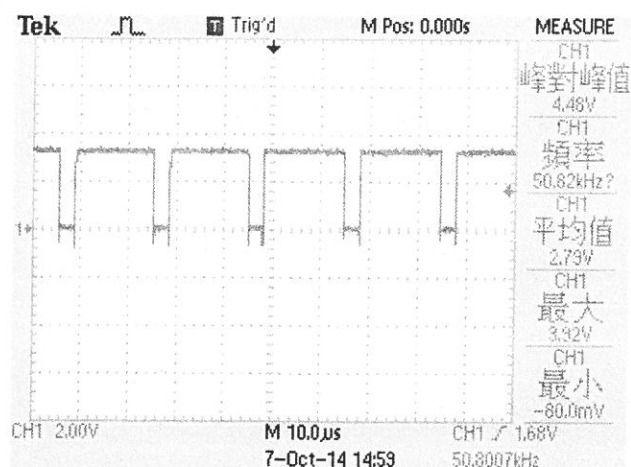


圖 15 low-IF 訊號頻譜圖 (a)52.4KHz 訊號(b) 50.8 KHz 訊號(c)49.2 KHz 訊號 (d)47.6KHz 訊號

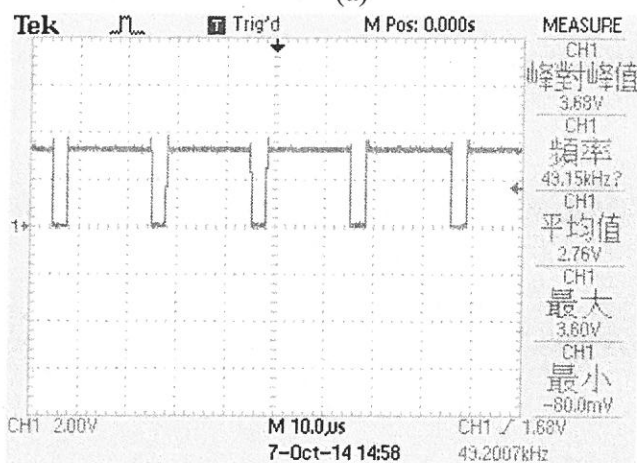
此外吾人須將降頻後的 low-IF 訊號送至 FPGA 中。利用一個 bias-tee 電路當成位準轉換器(level shifter)，將整個正弦波上移 1V 左右，讓正弦波 IF 訊號最小值為接近 0V，如此一來，用這樣上移過後的位準，送入 FPGA 中即可辨別低位準(邏輯 0)及高準位(邏輯 1)。此外吾人亦將正弦波 low-IF 訊號再送至反向器(inverter)，讓正弦波訊號變為方波訊號如圖 16 所示，這樣即可將這些方波 low-IF 訊號送至數位解調器(FPGA)中作解調。



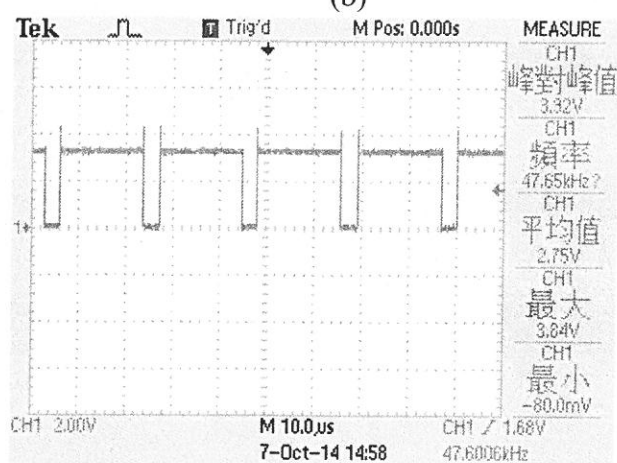
(a)



(b)



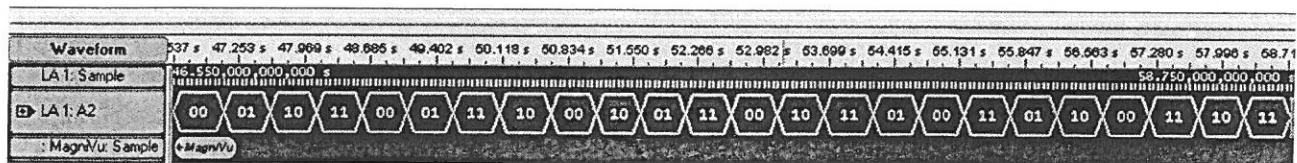
(c)



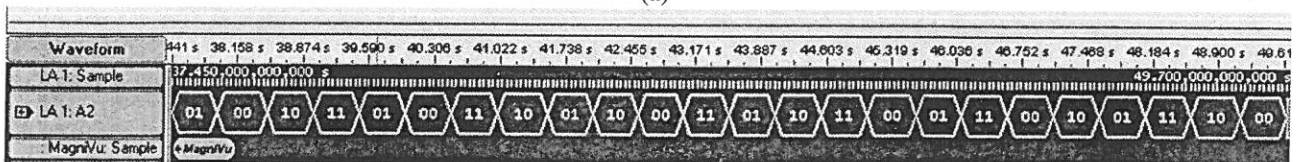
(d)

圖 16 經過反向器後的方波 low-IF 訊號時域波形圖 (a) 52.4KHz (b) 50.8 KHz (c) 49.2 KHz (d) 47.6KHz

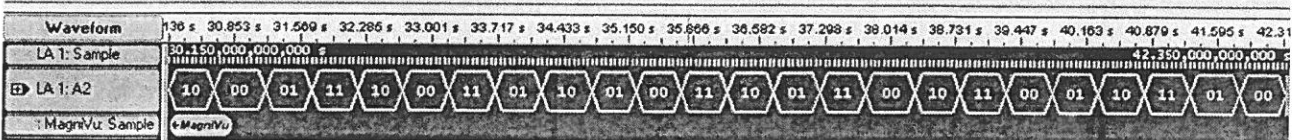
使用頻譜分析儀以檢驗數位解調器的解調結果。本論文採用四階層 FSK 之架構，藉由 4 種不同頻率的載波代表 4 種資料(00、01、10 及 11)，因此我們解出來的結果為 00、01、10 及 11 四種資料。圖 17(a)為資料 00 開頭的所有解調結果，圖 17(b)為資料 01 開頭的所有解調結果，圖 17(c)為資料 10 開頭的所有解調結果，圖 17(d)為資料 11 開頭的所有解調結果。



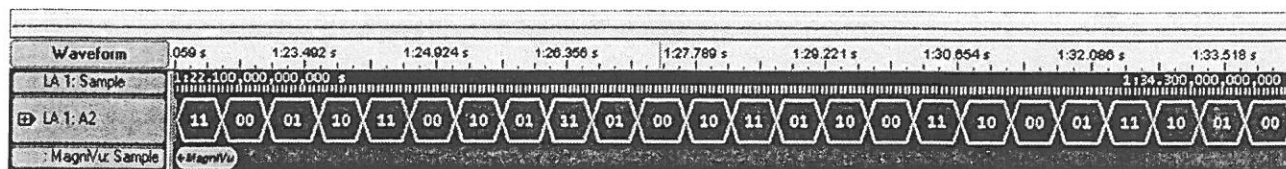
(a)



(b)



(c)



(d)

圖 17 頻譜分析儀顯示出的解調資料 (a)資料 00 為開頭的所有結果 (b) 資料 01 為開頭的所有結果(c)資料 10 為開頭的所有結果(d)資料 11 為開頭的所有結果

(IV) 結 論

本篇論文提出一個應用在生醫植入器上的 4 階層 FSK 射頻解調器，我們先將 4 階層 FSK 射頻調變訊號與 LO 訊號經由降頻混波器混得到 IF 訊號，再將 IF 訊號送至運算轉導放大器中，把 IF 訊號放大成全擺幅，最後送入數位解調器將資料還原出來。解調電路我們採取數位系統的架構，利用一個取樣時脈來取樣 4 種不同頻率的 FSK 載波，再搭配 8-Bit 的計數器做計數，將不同的數目做分辨，便得到解調結果。

有別於傳統的 2 階層 FSK 調變架構，本論文採用 4 階層 FSK 之調變架構，藉由四種不同的載波頻率來代表 00、01、10 及 11 四種資料，相較於傳統的 2 階層 FSK 架構只代表 0 和 1 兩種資料有所不同。本論文所提出 4 階層 FSK 調變架構的頻率偏移量(frequency deviation)為 0.8KHz 及 2.4KHz，與傳統的 2 階層 FSK 調變架構的頻譜偏移量高達 2.5MHz(FSK 載波頻率分別為 5MHz 及 10MHz)相較之下，在頻譜效益上有較顯著的改善。

參考文獻

- [1] Ghovanloo M. and Najafi K., "A wideband frequency-shift keying wireless link for inductively powered biomedical implants," *IEEE Transactions on Circuits and System –I: Regular Papers*, vol. 51, no. 12, pp. 2374-2383, Dec. 2004.
- [2] M. Ghovanloo and K. Najafi, "A high data transfer rate frequency shift keying demodulator chip for the wireless biomedical implants," in *Proc. IEEE 45th Midwest Symp. Circuits Systems*, vol. 3, pp. 433-436, Aug. 2002.
- [3] M. Ghovanloo and K. Najafi, "A high data-rate frequency shift keying demodulator chip for the wireless biomedical implants," in *Proc. IEEE Int. Symp. Circuits Systems*, vol. 5, pp. 45-48, May 2003.
- [4] M. Ghovanloo and K. Najafi, "A fully digital frequency shift keying demodulator chip for the wireless biomedical implants," in *Proc. IEEE Southwest Symp. on Mixed-Signal Design*, pp. 223-227, Feb. 2003.
- [5] Ro-Min Weng, Shu-Ya Li and Jing-Chyi Wang, "Low power frequency shift keying demodulator for biomedical implants," *IEEE Electron Devices and Solid-State Circuits*, pp. 1079-1082, Dec. 2007.
- [6] W. J. Heetderks, "RF powering of millimeter and submillimeter-sized neural prosthetic implants," *IEEE Transactions on Biomed. Eng.*, vol. 35, pp. 323-327, May 1988.
- [7] C. M. Zierhofer and E. S. Hochmair, "High-efficiency coupling-insensitive transcutaneous power and data transmission via an inductive link," *IEEE Transactions on Biomed. Eng.*, vol. 37, pp. 716-722, July 1990.

- [8] C. M. Zierhofer, I. J. Hochmair-Desoyer and E. S. Hochmair, "Electronic design of a cochlear implant for multichannel high-rate pulsatile stimulation strategies," *IEEE Transactions on Rehab. Eng.*, vol. 3, pp. 112-116, Mar. 1995.
- [9] D. G. Galbraith, M. Soma and R. L. White, "A wide-band efficient inductive transdermal power and data link with coupling insensitive gain," *IEEE Transactions on Biomed. Eng.*, vol. 34, pp. 265-275, Apr. 1987.
- [10] M. Ghovanloo and K. Najafi, "A wideband frequency-shift keying wireless link for inductively powered biomedical implants," *IEEE Transactions on Circuits and Systems-I*, vol. 51, pp. 2374-2383, Dec. 2004.
- [11] M. Borremans and M. Steyaert, "A 2V, Low power, single-ended 1GHz CMOS direct upconversion mixer," in *Proc. IEEE Custom Integrated Circuits Conference*, pp. 517-520, May 1997.
- [12] L. A. Maceachern and T. Manku, "A charge-injection method for Gilbert cell biasing," in *Proc. IEEE Canadian Conference Electrical and Computer Engineering*, pp. 365-368, May 1998.
- [13] S.-G. Lee and J.-K. Choi, "Current-reuse bleeding mixer," *IEEE Electronics Letters*, vol. 36, no. 8, pp. 696-697, Apr. 2000.
- [14] Karanicolas A., "A 2.7-V 900MHz CMOS LNA and mixer," *IEEE J. Solid-State Circuits*, pp. 1939-1944, Feb. 1996.
- [15] 何滿龍、孔繁喜、楊超雅、沈俊良、謝志遠，「射頻電路設計實習」，滄海書局，2001。
- [16] 連婉茹，「V 頻段微型化混波器之研製」，碩士論文，中央大學，2006。
- [17] 黃世源，「應用於 RFID 之 FSK 解調系統與電流回授低壓降電壓調整器研製」，碩士論文，國立台北科技大學，2008。

A 4-level RF Frequency-Shift Keying Demodulator for Biomedical Implants

Steve Hung-Lung Tu

Chun Weng

Department of Electrical Engineering

Fu Jen Catholic University

New Taipei City, Taiwan 24205, R.O.C.

Abstract

In this paper, we propose a high spectrum-efficient frequency-shift keying (FSK) demodulator circuits. The primary application of this novel modulation technique is to send data to wireless biomedical implants at a high spectrum-efficient modulation scheme of 4-level FSK. The configuration of the 4-level radio frequency FSK demodulator comprises a down-converted mixer, an operational trans-conductance amplifier (OTA) and a digital demodulator. We let the received 4-level radio FSK signal and Local Oscillator signal send to the down-converted mixer, which mixes frequency to low intermediate frequency and then amplify the low intermediate frequency signal to full swing by employing an OTA. The full swing low intermediate frequency signal finally decoded with a digital demodulator. The frequency of the 4-level radio FSK signal and local oscillator signal are operating at near 909MHz, and the frequency of down-converted low intermediate frequency signal is near 50 KHz. The correctness of the proposed circuits has been validated with Hspice / Hsim simulation, in which the TSMC 1P6M 0.18 μ m CMOS process technology is employed at the 1.8V supply voltage. Also, a system-level experiment has been performed to further verify the feasibility of the proposed architecture.

Keywords: spectrum-efficient, 4-level frequency-shift keying (FSK), wireless biomedical implants.